

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年2月3日 (03.02.2005)

PCT

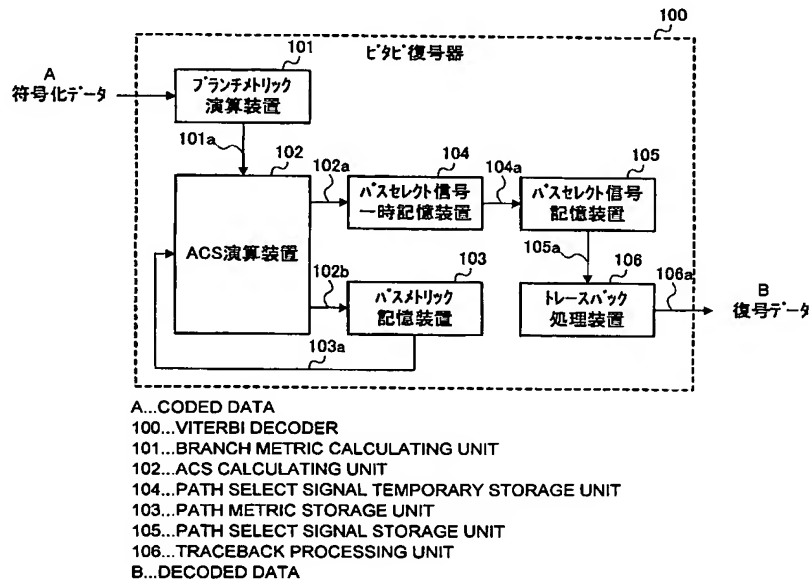
(10) 国際公開番号  
WO 2005/011129 A1

- (51) 国際特許分類: H03M 13/41 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2004/010981 (75) 発明者/出願人 (米国についてのみ): 高木 信宏 (TAK-  
AGI, Nobuhiro).  
(22) 国際出願日: 2004年7月26日 (26.07.2004) (74) 代理人: 鷺田 公一 (WASHIDA, Kimihito); 〒2060034  
東京都多摩市鶴牧1丁目24-1 新都市センタービル5階  
(25) 国際出願の言語: 日本語 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
(30) 優先権データ: 特願2003-280274 2003年7月25日 (25.07.2003) JP BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,  
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,  
(71) 出願人 (米国を除く全ての指定国について): 松下電 VC, VN, YU, ZA, ZM, ZW.  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大  
字門真1006番地 Osaka (JP).

[続葉有]

(54) Title: VITERBI DECODER

(54) 発明の名称: ビタビ復号器



(57) Abstract: A viterbi decoder adapted to various constraint lengths and the number of coefficients of a given estimated transmission line and composed of special hardware of small circuit scale. A branch metric calculating unit (101) of the Viterbi decoder calculates the branch metrics of all the paths from the state at the previous time to the state at the present time, selects the most probable path from among the paths to the respective states on the basis of the branch metric (101a) and the path metric (103a), and outputs a path select signal (102a) and a path metric (102b). A path metric storage unit (103) outputs a path metric (103a) into an ACS calculating unit (102) when performing ACS calculation at the next time. A path select signal temporary storage unit (104) holds path select signals (102a) of n states, outputs path select signals (104a) of m states ( $m \leq n$ ), and changes the input bit position according to the encoding constraint or the number of coefficients of a deduced estimated transmission line of the system where Viterbi decoding is performed.

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 複数種類の拘束長及び任意の推定伝送路の係数の数に対応することができ、かつ、小さな回路規模の専用ハードウェアにより構成することができるビタビ復号器。本装置において、ブランチメトリック演算装置(101)は、前時刻の状態から現時刻の状態に至る全てのパスのブランチメトリックを演算し、ブランチメトリック(101a)とパスメトリック(103a)とにより、各状態へ至るパスの中から最も確からしいパスを選択し、パスセレクト信号(102a)とパスメトリック(102b)とを出力する。パスメトリック記憶装置(103)は、次時刻でのACS演算を行う際にACS演算装置(102)に対して入力するパスメトリック(103a)を出力する。パスセレクト信号一時記憶装置(104)は、パスセレクト信号(102a)をnステート分だけ記憶し、mステート分( $m \leq n$ )のパスセレクト信号(104a)を出力し、ビタビ復号を行うシステムの符号化拘束長又は想定される推定伝送路の係数の数に応じて入力ビット位置を変更する。